


# **SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE AND ITS OUTPUT CONTROL METHOD**

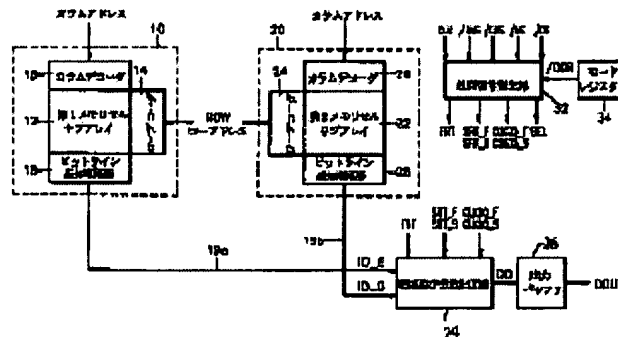
**Patent number:** JP11213668  
**Publication date:** 1999-08-06  
**Inventor:** RI TEIBAI  
**Applicant:** SAMSUNG ELECTRONICS CO LTD  
**Classification:**  
**- international:** G11C7/10; G11C8/12; G11C8/18; G11C7/10; G11C8/00; (IPC1-7): G11C11/407; G11C11/401  
**- european:** G11C7/10L; G11C7/10M7; G11C7/10S; G11C8/12; G11C8/18  
**Application number:** JP19980273569 19980928  
**Priority number(s):** KR19980002052 19980123

**Also published as:**

 US6151271 (A1)

## **Abstract of JP11213668**

**PROBLEM TO BE SOLVED:** To provide a double data rate(DDR)-mode semiconductor memory device which is provided with a single data rate (SDR)-mode input/output function. **SOLUTION:** A first memory core 10 holds a plurality of data. Among from the plurality of data, the data which is addressed by a row address and by a first column address is output to a first data line 19a. A second memory core 20 holds a plurality of data. Among from the plurality of data, the data which is addressed by a row address and by a second column address is output to a second data line 19b simultaneously with the first memory core 10. By a control signal generation part 32, a first clock whose cycle is at the integral multiple of an external system clock and a second clock whose cycle is at twice the first clock are generated. Either the first clock or the second clock is output as an internal clock. An amplifying and multiplexing circuit 24 is operated in synchronization with the internal clock, it receives the data to be output from the first and second memory cores 10, 20, it amplifies and multiplexes the data, and it outputs the multiplexed data. Thereby, it is possible to support both an SDR mode and a DDR mode.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-213668

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/407  
11/401

識別記号

F I

G 1 1 C 11/34

3 6 2 S

3 5 4 C

3 6 2 H

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平10-273569

(22) 出願日 平成10年(1998) 9月28日

(31) 優先権主張番号 9 8 - 2 0 5 2

(32) 優先日 1998年1月23日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李▲禎▼培

大韓民国京畿道軍浦市山本洞320番地朱夢

住公アパート1006棟1205号

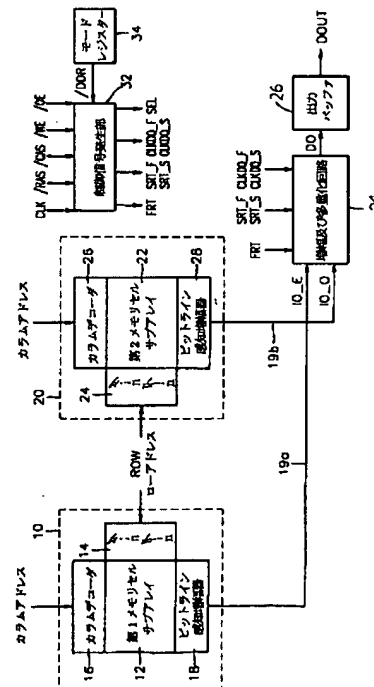
(74) 代理人 弁理士 大塚 康德 (外1名)

(54) 【発明の名称】 同期式半導体メモリ装置及びその出力制御方法

(57) 【要約】

【課題】 SDRモード入出力機能を具備したDDRモード半導体メモリ装置を提供する。

【解決手段】 第1メモリコア10は、複数のデータを保持し、複数のデータのうちローアドレス及び第1カラムアドレスによりアドレッシングされるデータを第1データライン19aに出力する。第2メモリコア20は、複数のデータを保持し、複数のデータのうちローアドレス及び第2カラムアドレスによりアドレッシングされるデータを第1メモリコア10と同時に第2データライン19bに出力する。制御信号発生部32は外部システムクロックの整数倍の周期を有する第1クロックと、第1クロックの2倍の周期を有する第2クロックを発生し、第1クロックと第2クロックのうち何れか一方を内部クロックとして出力する。増幅及び多重化回路24は、内部クロックに同期して動作し、第1及び第2メモリコアから出力されたデータを受けて、そのデータを増幅し多重化して多重化されたデータを出力する。これにより、SDRモードとDDRモードを共に支援することができ、使用者側及び製造業者側のコストを節減することができる。



## 【特許請求の範囲】

【請求項1】 外部システムクロックに同期して動作する同期式半導体メモリ装置において、複数のデータを保持し、前記複数のデータのうちローアドレス及び第1カラムアドレスによりアドレッシングされるデータを第1データラインに出力する第1メモリコアと、複数のデータを保持し、前記複数のデータのうち前記ローアドレス及び第2カラムアドレスによりアドレッシングされるデータを前記第1メモリコアの出力動作と同時に第2データラインに出力する第2メモリコアと、前記外部システムクロックの整数倍の周期を有する第1クロックと、前記第1クロックの2倍の周期を有する第2クロックを発生し、前記第1クロックと第2クロックの何れか一方を内部クロックとして出力する制御信号発生部と、前記内部クロックに同期して動作し、前記第1及び第2メモリコアから出力されたデータを受けて、これを増幅すると共に多重化して、その多重化したデータを出力する増幅及び多重化回路と、を含む同期式半導体メモリ装置。

【請求項2】 前記第1カラムアドレス及び第2カラムアドレスは、共通のカラムアドレスバスを介して供給され、第1カラムアドレスは偶数値であり、第2カラムアドレスは奇数値であることを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項3】 前記第1クロックは、前記外部システムクロックと同じ周期を有することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項4】 前記制御信号発生部は、前記外部システムクロックを受けて、前記外部システムクロックのデューティ比及びスイング幅を調整して、前記外部システムクロックと同じ周波数を有する前記第1クロックを発生する波形整形回路と、前記第1クロックを分周して前記第2クロックを発生する分周器と、前記第1クロック及び前記第2クロックの何れか一方を選択して出力する選択手段と、を含むことを特徴とする請求項3に記載の同期式半導体メモリ装置。

【請求項5】 前記増幅及び多重化回路は、前記第1メモリコアから出力されたデータを受けて、そのデータを増幅して、その増幅した第1データを前記内部クロックと同じ周波数を有する第1制御パルスに同期させて出力する第1入出力感知増幅器と、前記第2メモリコアから出力されたデータを受けて、そのデータを増幅して、その増幅した第2データを前記第1制御パルスに同期させて出力する第2入出力感知増幅器と、前記第1データと前記第2データとを入力し、前記第1デ

ータと前記第2データの先後関係を示す選択制御信号にตอบสนองして前記第1データと前記第2データを多重化して出力する多重化副回路と、

を含むことを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項6】 前記多重化副回路は、前記第1データと前記第2データを受けて、前記選択制御信号にตอบสนองして前記第1データと前記第2データのうちの先のアドレスに係るデータを選択して、その選択したデータを第2制御パルスにตอบสนองして出力する第1選択器と、前記第1データと前記第2データを受けて、前記選択制御信号にตอบสนองして前記第1データと前記第2データのうちの後のアドレスに係るデータを選択して、その選択したデータを第2制御パルスにตอบสนองして出力する第2選択器と、前記第1及び第2選択器の出力データを受けて、前記第1選択器からのデータを前記内部クロックと同じ周波数を有する第4制御パルスにตอบสนองして出力し、前記第2選択器からのデータを前記内部クロックと同じ周波数を有する第5制御パルスにตอบสนองして出力することによって、前記第1及び第2選択器の出力データを多重化するマルチプレクサと、を含むことを特徴とする請求項5に記載の同期式半導体メモリ装置。

【請求項7】 前記制御信号発生部は、前記内部クロックを各々所定時間遅延させることによって前記第1乃至第5制御パルスを発生する制御パルス発生回路をさらに含むことを特徴とする請求項6に記載の同期式半導体メモリ装置。

【請求項8】 前記同期式半導体メモリ装置の動作モード情報を保持し、動作モード制御信号を前記制御信号発生部に出力するモードレジスタをさらに含み、前記制御信号発生部は、前記動作モード制御信号にตอบสนองして前記第1クロック及び前記第2クロックのうち何れか一方を内部クロックとして選択することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項9】 前記動作モード情報は、使用者がプログラミングすることが可能であることを請求項8に記載の同期式半導体メモリ装置。

【請求項10】 前記制御信号発生部は、前記動作モードを示すヒューズを含み、前記ヒューズの状態によって前記第1クロックと第2クロックのうち何れか一方を内部クロックとして選択することを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項11】 前記制御信号発生部により行なわれる前記第1クロックまたは第2クロックの選択は、製造工程中に配線により固定されることを特徴とする請求項1に記載の同期式半導体メモリ装置。

【請求項12】 外部システムクロックに同期して動作する半導体メモリ装置において、複数のデータを保持し、各々1つのデータを同時に出力

する所定数のメモリコアと、  
前記外部システムクロックの整数倍の周期を有する第1クロックと、前記第1クロックの所定数倍の周期を有する第2クロックを発生し、前記第1クロックと第2クロックのうち何れか一方を内部クロックとして出力する制御信号発生部と、  
前記内部クロックに同期して動作し、前記所定数のメモリコアから同時に出力されたデータを受けて、これを増幅すると共に多重化して、その多重化したデータを出力する増幅及び多重化回路と、  
を含む同期式半導体メモリ装置。

【請求項13】 外部システムクロックに同期して動作し、複数のデータを保持し、各々1つのデータを同時に出力する第1及び第2メモリコアを含む同期式半導体メモリ装置の出力制御方法において、  
前記外部システムクロックの整数倍の周期を有する第1クロックと、前記第1クロックの2倍の周期を有する第2クロックを発生し、前記第1クロックと第2クロックのうち何れか一方を内部クロックとして選択する段階と、  
前記第1及び第2メモリコアから出力されたデータを増幅し、その増幅した第1及び第2データを前記内部クロックと同じ周波数を有する第1制御パルスに同期させて第1及び第2データラインに各々出力させる段階と、  
前記第1及び第2データライン上の前記第1データと前記第2データのうちの先のアドレスに係るデータを選択して、その選択したデータを外部に出力する段階と、  
前記第1データと前記第2データのうちの後のアドレスに係るデータを選択して、その選択したデータを外部に出力する段階と、  
を含む同期式半導体メモリ装置の出力制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリに係り、特に二重データ率(Double Data Rate:以下、DDRともいう)モード半導体メモリ装置に関する。

【0002】

【従来の技術】一般的に、同期式DRAM(Synchronous DRAM: SDRAM)は、システムクロックの遷移にตอบสนองしてデータ入出力動作が制御されるDRAMであって、従来の非同期式DRAMに比べて相当に速い動作速度で動作可能である。ところが、SDRAMの動作速度は、例えばコンピュータのような応用システムの動作速度に比べて相当に低い水準に留まっている。従って、このように低いSDRAMの動作速度は応用システムの全体的な性能を最適化する際の障害になる。

【0003】上記のようなSDRAMの低い動作速度を改善するために、システムクロックの立上りエッジ及び立下りエッジの全てにตอบสนองしてデータを入出力する方式が開発された。このようにシステムクロックの立上りエッジ及び立下りエッジの全てにตอบสนองしてデータを入出力する

方式を二重データ率モードという。これに関連して、システムクロックの立上りエッジ及び立下りエッジの一方だけにตอบสนองしてデータを入出力する従来の方式を単一データ率(Single Data Rate:以下、SDRともいう)モードという。

【0004】DDRモードは、データの出力または入力動作がシステムクロックの両エッジにตอบสนองして実行されるので、動作可能周波数が高い(large Bandwidth)特性を有する。従って、DDRモードは、超高速SDRAMを実現するための1つの手段と成り得る。

【0005】しかし、DDRモードの同期式DRAMをチップ上に具現する場合、チップの面積が増加するという問題点が発生する。即ち、DDRモードを採用した同期式DRAMでは、1つのシステムクロックで2つのカラム選択ラインをイネーブルさせて2つのデータを読出したり書込みするため、SDRモード同期式DRAMに比べて2倍の数の内部データラインが必要である。また、入出力時に前記2倍の数の内部データラインの何れか1つを選択するための非多重化回路及び多重化回路が必要である。さらに、SDRモードに比べて入力と出力時にデータとクロックとのセットアップ時間、データホールド時間が大きく縮まるので、外部システムクロックと内部の各パイプライニング段で用いられるクロックとの間の遅延時間を精密に調節するためには位相同期ループ(PLL:Phase Locked Loop)や遅延同期ループ(DLL:Delay Locked Loop)を使用する必要がある、このためにチップ面積はさらに増加する。

【0006】

【発明が解決しようとする課題】本発明は、上記の問題点に鑑みてなされたものであり、本発明の技術的課題は、SDRモード入出力機能を具備したDDRモード半導体メモリ装置を提供することを目的とする。

【0007】また、本発明は、SDRモード及びDDRモードの何れか1つを選択して、選択された方式でデータを出力することを可能にする半導体メモリ装置のデータ出力制御方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る同期式半導体メモリ装置では、第1メモリコアは複数のデータを保持し、前記複数のデータのうちのローアドレス及び第1カラムアドレスによりアドレッシングされるデータを第1データラインに出力する。第2メモリコアは、複数のデータを保持し、前記複数のデータのうちの前記ローアドレス及び第2カラムアドレスによりアドレッシングされるデータを前記第1メモリコアと同時に第2データラインに出力する。制御信号発生部は、外部システムクロックの整数倍の周期を有する第1クロックと、前記第1クロックの2倍の周期を有する第2クロックを発生し、前記第1クロックと第2クロックのうち何れか一方を内部クロックとして出力する。増幅及び多重化回路は、前記内部クロ

ックに同期して動作し、前記第1及び第2メモリコアから出力されたデータを受けて、そのデータを増幅し多重化して出力する。

【0009】本発明に係る半導体メモリ装置出力制御方法は、複数のデータを保持し、各々1つのデータを同時に出力する第1及び第2メモリコアを含む半導体メモリ装置において具現される。

【0010】まず、外部システムクロックの整数倍の周期を有する第1クロックと、前記第1クロックの2倍の周期を有する第2クロックを発生し、前記第1クロックと第2クロックのうち何れか一方を内部クロックとして選択する。そして、前記第1及び第2メモリコアから出力されたデータを増幅し、増幅された第1及び第2データを前記内部クロックと同じ周波数を有する第1制御パルスに同期させて第1及び第2データラインに各々出力させる。そして、前記第1及び第2データライン上の前記第1データと前記第2データのうちの先のアドレスに係るデータを選択して、その選択したデータを外部に出力する。そして、前記第1データと前記第2データのうちの後のアドレスに係るデータを選択して、その選択したデータを外部に出力する。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を説明する。

【0012】図1は、本発明の好適な実施の形態に係る同期式DRAMの概略的構成を示すブロック図である。この同期式DRAMは、複数のメモリセルアレイを含み、各メモリセルアレイは複数のメモリセルサブアレイを含むが、説明の便宜上、図1には2つのメモリセルサブアレイだけを示している。具体的には、図1に示す同期式DRAMは、偶数メモリコア10、奇数メモリコア20、増幅及び多重化回路24、及び出力バッファ26を含む。

【0013】偶数メモリコア10は、第1メモリセルサブアレイ12、ローデコーダ14及びカラムデコーダ16を含む。第1メモリセルサブアレイ12の各セルは、ローデコーダ14及びカラムデコーダ16によりデコーディングされるローアドレス及びカラムアドレスに従ってアクセスされて、データが記録され、記録されたデータが読み出される。読み出されたデータは、ビットライン感知増幅器18により増幅されて、ローカル入出力ライン19aに伝達される。ここで、第1メモリセルサブアレイ12をアクセスするためにカラムアドレスバスを介して印加されるカラムアドレスは偶数値を有する。即ち、第1メモリセルサブアレイ12は、偶数のカラムアドレスのみによってアドレッシングされる。

【0014】奇数メモリコア20は、第1メモリセルサブアレイ22、ローデコーダ24及びカラムデコーダ26を含む。第2メモリセルサブアレイ22の各セルも同様に、ローデコーダ24及びカラムデコーダ26によりデコーディングされるローアドレス及びカラムアドレスによりアクセ

スされて、データが記録され、記録されたデータが読み出される。読み出されたデータは、ビットライン感知増幅器28により増幅されて、ローカル入出力ライン19aに載せられる。ここで、第2メモリセルサブアレイ22をアクセスするために前記カラムアドレスバスを介して印加されるカラムアドレスは奇数値を有する。即ち、第2メモリセルサブアレイ22は、奇数のカラムアドレスのみによってアドレッシングされる。

【0015】増幅及び多重化回路24は、偶数メモリコア10及び奇数メモリコア20から各々出力されるデータIO\_E、IO\_0を受けて、複数の制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_SにตอบสนองしてデータIO\_E、IO\_0を多重化し、多重化されたデータD0を出力する。出力バッファ26は、増幅及び多重化回路24からの多重化されたデータD0を受けて、このデータをバッファリングして、これをデータDOUTとして外部システムバスに出力する。

【0016】制御信号発生部32は、外部からシステムクロックCLK、ローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、記録制御信号/WE及び読出制御信号/OEを受けて、各種の制御信号を発生してメモリセルアレイや増幅及び多重化回路24に供給する。具体的には、制御信号発生部32は、制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sを発生して、増幅及び多重化回路24に供給する。モードレジスタ34は、DDR/SDRモード、CAS待ち時間、バーストの長さ、バースト順序のような同期式DRAMの動作モードに関する情報を保持するレジスタであって、製造業体または使用者がプログラムすることができる。

【0017】図2は、増幅及び多重化回路24の詳細ブロック図である。増幅及び多重化回路24は、第1及び第2I/O感知増幅器40及び42と、第1及び第2データバス選択器44及び46と、マルチプレクサ48とを含む。

【0018】第1I/O感知増幅器40は、偶数メモリコア10から出力されてローカル入出力ライン19aに伝達されたデータIO\_Eを受け入れる。そして、第1I/O感知増幅器40は、データIO\_Eを増幅し、増幅されたデータFDIO\_Eを制御パルスFRTにตอบสนองしてグローバル入出力ライン41を通して出力する。第2I/O感知増幅器42は、奇数メモリコア20から出力されてローカル入出力ライン19bに伝達されたデータIO\_0を受け入れる。そして、第2I/O感知増幅器42は、データIO\_0を増幅し、増幅されたデータFDIO\_0を制御パルスFRTにตอบสนองしてグローバル入出力ライン43を通して出力する。

【0019】第1データバス選択器44は、第1I/O感知増幅器40により出力されたデータFDIO\_Eをグローバル入出力ライン41を通して受け入れる。また、第1データバス選択器44は、第2I/O感知増幅器42により出力されたデータFDIO\_0をグローバル入出力ライン43を通して受け入れる。その後、第1データバス選択器44は、選択信号SELにตอบสนองしてデータFDIO\_E、FDIO\_0の何れか一つを選択し、

制御パルスSRT\_Fにตอบสนองして、その選択したデータを第1バスデータDB\_Fとして出力する。

【0020】この同期式DRAMがバースト出力を実行する時、出力データの最初のカラムアドレスが偶数の場合には選択信号SELは“ハイ”レベルを有する。この場合、第1データバス選択器44は、データFDIO\_Eを選択して、その選択したデータを第1バスデータDB\_Fとして出力する。一方、出力データの最初のカラムアドレスが奇数の場合には、選択信号SELは“ロー”レベルを有する。この場合、第1データバス選択器44は、データFDIO\_Oを選択して、その選択したデータを第1バスデータDB\_Fとして出力する。

【0021】第2データバス選択器46は、第1及び第2I/O感知増幅器40、42により各々出力されたデータFDIO\_E、FDIO\_Oを受け入れ、選択信号/SELにตอบสนองしてデータFDIO\_E、FDIO\_Oの何れか一つを選択する。そして、第2データバス選択器46は、制御パルスSRT\_Sにตอบสนองして、その選択したデータを第2バスデータDB\_Sとして出力する。出力データの最初のカラムアドレスが偶数の場合には、選択信号SELは“ロー”レベルを有する。この場合、第2データバス選択器46は、データFDIO\_Oを選択して、その選択したデータを第2バスデータDB\_Fとして出力する。一方、出力データの最初のカラムアドレスが奇数の場合には、選択信号SELは“ハイ”レベルを有する。この場合、第2データバス選択器46は、データFDIO\_Eを選択して、その選択したデータを第1バスデータDB\_Fとして出力する。

【0022】従って、この同期式DRAMがバーストデータ出力を実行する時、最初のカラムアドレスが偶数の場合には、第1データバス選択器44は、偶数メモリコア10からのデータを出力し、第2データバス選択器46は、奇数メモリコア20からのデータを出力する。一方、最初のカラムアドレスが奇数の場合には、第1データバス選択器44は、奇数メモリコア20からのデータを出力し、第2データバス選択器46は、偶数メモリコア10からのデータを出力する。これにより、プリフェッチ(pre-fetch)された2ビットのデータのうち先に出力すべきデータが常に第1データバス選択器44により選択され、後に出力すべきデータが常に第2データバス選択器46により選択される。

【0023】一方、この同期式DRAMがバーストデータ出力を実行する際にバーストの長さが1の場合には第2データバス選択器46がディスエーブルされる。これにより第1データバス選択器44のみが1ビットのデータを出力する。

【0024】マルチプレクサ48は、第1及び第2データバス選択器44及び46から各々出力される第1及び第2バスデータDB\_F及びDB\_Sを受けて、このデータを多重化して出力する。即ち、マルチプレクサ48は、制御パルスCLKDQ\_Fにตอบสนองして第1バスデータDB\_Fを出力し、制御パルスCLKDQ\_Sにตอบสนองして第2バスデータDB\_Sを出力する。制御パ

ルスCLKDQ\_Sは、制御パルスCLKDQ\_Fに比べて半周期分だけ位相が異なる。

【0025】図3は、図1の制御信号発生部32内にある制御パルス発生回路の一例を示すブロック図である。制御パルス発生回路は、内部クロック発生副回路50、分周器52、選択部53及び遅延部60を含む。

【0026】内部クロック発生副回路50は、外部システムクロックCLKを受け入れ、クロックCLKのデューティ比及びスイング幅を調整して、外部システムクロックCLKと同じ周波数を有するDDRモード用内部クロックPCLK\_DDRを発生する波形整形回路を含む。分周器52は、DDRモード用内部クロックPCLK\_DDRを受けて、これを分周してDDRモード用内部クロックPCLK\_DDRの半分の周波数を有するSDRモード用内部クロックPCLK\_SDRを発生する。

【0027】選択部53は、モード制御信号/DDRにตอบสนองしてDDRモード用内部クロックPCLK\_DDR及びSDRモード用内部クロックPCLK\_SDRの何れか一つを選択してDRAMの内部クロックPCLKとして出力する。

【0028】この同期式DRAMがDDRモードで動作する時、モード制御信号/DDRは“ロー”レベルを有する。この時、選択部53の伝送スイッチ54は、モード制御信号/DDR及びインバータ58により反転されたモード制御信号/DDRにตอบสนองしてターンオンされ、伝送スイッチ56はターンオフされる。従って、DDRモード用内部クロックPCLK\_DDRがDRAMの内部クロックPCLKとして出力される。

【0029】一方、同期式DRAMがSDRモードで動作する時前記モード制御信号/DDRは、“ハイ”レベルを有する。この時、選択部53の伝送スイッチ54はターンオフされ、伝送スイッチ56はターンオンされて、SDRモード用内部クロックPCLK\_SDRがDRAMの内部クロックPCLKとして出力される。

【0030】内部クロックPCLKは、DRAMの内部マスタクロックとして使われると共に、後述するように、制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sを発生する時に使われる。

【0031】この実施の形態において、同期式DRAMのDDRまたはSDR動作モードは、製造業者または使用者によりプログラムされ、モードレジスタ34に保持される。従って、モード選択信号/DDRは、モードレジスタ34から制御信号発生部32に出力される。しかし、本発明の他の実施の形態において、DDRまたはSDR動作モードは、例えば、製造過程で製造業者によりメタルオプション、マスクオプション、ボンディングオプションまたはヒューズにより固定される。

【0032】図3において、遅延部60は、第1乃至第5遅延器62～70を含み、制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sを発生する。第1遅延器62は、内部クロックPCLKを所定時間遅延させて、遅延したクロックを制御パルスFRTとして出力する。この実施の形態においては、内部クロックPCLKは、8ナノ秒(ns)の周期と43.75%

のデューティ比を有する。そして、第1遅延器62が制御パルスFRTを発生させるために内部クロックPCLKを遅延させる時間は1.5ナノ秒(ns)である。

【0033】第2遅延器は、内部クロックPCLKを2.5ナノ秒(ns)遅延させて、遅延したクロックを制御パルスSRT\_Fとして出力する。第3遅延器は、内部クロックPCLKを6.5ナノ秒(ns)遅延させて、遅延したクロックを制御パルスSRT\_Sとして出力する。第4遅延器は、内部クロックPCLKを4.5ナノ秒(ns)遅延させて、遅延したクロックを制御パルスCLKDQ\_Fとして出力する。第5遅延器は、内部クロックPCLKを8.5ナノ秒(ns)遅延させて、遅延したクロックを制御パルスCLKDQ\_Sとして出力する。制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sの波形は、図4及び図5に示されている。

【0034】本発明の1つの実施の形態では、第1乃至第5遅延器62〜70は、位相同期ループPLLや遅延同期ループDLLを使用して具現される。しかし、かかる構成に限定されず、他の遅延回路を採用することもできる。また、本発明の他の実施の形態では、第1乃至第5遅延器62〜70は、内部クロックPCLKから制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sを別個に発生する代わりに、各々の先後関係を考慮して何れか1つの制御パルスから他の制御パルスを発生する。

【0035】図4は、図1に示す同期式DRAMがDDRモードで動作する場合における各制御パルス及びデータの波形図である。この同期式DRAMがDDRモードで動作する時、内部クロックPCLKは、外部システムクロックCLKと同じ周波数を有する。

【0036】第1メモリセルサブアレイ12及び第2メモリセルサブアレイ22では、ローアドレスにより選択された何れか1つのローに属するセルに保持されたデータは、ビットライン感知増幅器18、28により増幅される。その後、第1メモリセルサブアレイ12及び第2メモリセルサブアレイ22の各々において、複数のビットラインからカラム選択ラインCSLに従って1本のビットラインが選択され、選択されたビットラインのデータIO\_E、IO\_0がローカル入出力ライン19a、19bに伝達される。

【0037】第1及び第2I/O感知増幅器40及び42は、データIO\_E、IO\_0を受けてこれを増幅し、制御パルスFRTにตอบสนองして増幅されたデータFDIO\_E、FDIO\_0を出力する。

【0038】第1選択器44は、第1及び第2I/O感知増幅器40及び42からのデータFDIO\_E、FDIO\_0を受けて、この中の一方を選択して、制御パルスSRT\_Fにตอบสนองして、その選択したデータDB\_Fを出力する。また、第2選択器46は、第1及び第2I/O感知増幅器40、42からのデータFDIO\_E、FDIO\_0を受けて、この中の他方を選択して、制御パルスSRT\_Sにตอบสนองして、その選択したデータDB\_Sを出力する。

【0039】マルチプレクサ48は、第1選択器44及び第2

選択器46からデータDB\_F及びデータDB\_Sを各々受け入れる。マルチプレクサ48は、制御パルスCLKDQ\_FにตอบสนองしてデータDB\_Fを選択して出力し、制御パルスCLKDQ\_SにตอบสนองしてデータDB\_Sを選択して出力する。これにより、マルチプレクサ48から出力されるデータDOiは、偶数メモリコア10または奇数メモリコア20から出力されるデータに比べて2倍のデータ率を有する。出力バッファ26は、マルチプレクサ48からのデータDOiを受けて、これをバッファリングして最終の出力データDOUTを出力する。結局、1つのシステムクロックに対して2つのデータがDRAMから出力される。

【0040】図5は、図1に示す同期式DRAMがSDRモードで動作する場合における各制御パルス及びデータの波形図である。

【0041】この同期式DRAMがSDRモードで動作する時、内部クロックPCLKは、外部システムクロックCLKの半分の周波数となり、これにより各制御パルスFRT、SRT\_F、SRT\_S、CLKDQ\_F、CLKDQ\_Sも、DDRモードにおける場合の半分の周波数となる。他のDRAM動作はDDRモードと同じである。

【0042】この場合にも、マルチプレクサ48から出力されるデータDOiは、偶数メモリコア10または奇数メモリコア20から出力されるデータに比べて2倍のデータ率を有する。しかし、内部クロックPCLKがシステムクロックの半分の周波数であるため、1つのシステムクロックに対して1つのデータが最終的にDRAMから出力される。

【0043】一方、SDRモードの場合、内部パイプライン制御が外部システムクロックCLKの半分の速度で動作し、これにより動作がDDRモードに比べて容易になるという長所がある。

【0044】上記の実施の形態は、本発明の一例に過ぎず、本発明は、かかる実施の形態に限定されず、様々な変形が可能である。

【0045】例えば、上記の実施の形態では、DDRモード用内部クロックPCLK\_DDRを生成し、これを分周してSDRモード用内部クロックPCLK\_SDRを発生したが、本発明の他の実施の形態では、システムクロックPCLKからSDRモード用内部クロックPCLK\_SDRを生成し、これを倍倍してDDRモード用内部クロックPCLK\_DDRを発生することができる。

【0046】また、上記の実施の形態では、第1及び第2選択器44及び46は、3クロックのCAS待ち時間を前提として設けられているが、例えば、CAS待ち時間が2クロックであるとする、前記第1及び第2選択器44及び46を省略することができる。この場合、データバスの選択は、マルチプレクサにより行なわれ得る。また、CAS待ち時間が4クロック以上であれば、追加的な遅延手段が含まれ得る。

【0047】また、上記の実施の形態を変形して、DDRモード用内部クロックPCLK\_DDRに関しても外部システム

クロックを分周して生成することによって、DDRモード用内部クロックPCLK\_DDR及びSDRモード用内部クロックPCLK\_SDRの双方をシステムクロックと違う周波数としてもよい。

【0048】また、同時にデータが入出力されるメモリコアの数は2つに限定されず、3以上のメモリコアで同時にデータが入出力できるようにしてもよい。このような場合、図2のI/O感知増幅器、選択器及びデータバスの数は、同時にデータが入出力されるメモリコアの数と等しくすることが望ましい。この時、マルチプレクサの入力端子、SRT及びCLKDQの制御パルスの数もそれに応じて増加させればよい。また、この場合、内部クロックPCLKは、SDRモード用内部クロックPCLK\_SDRに比べてn倍の周波数を有する。特に、このような多重データ率モードにおける多重データモード用内部クロックPCLK\_Mが外部システムクロックCLKを1/mに分周して発生されると仮定すると、外部システムクロックCLKの周波数がfである時、多重データモード用内部クロックPCLK\_Mの周波数とSDRモード用内部クロックPCLK\_SDRは各々f/m、f/(mn)になる。

【0049】換言すると、本発明に内在する基本的な技術的思想中の1つは、同時に読出された複数のデータをマルチプレクサ制御を通じて順次に出力することであり、従ってマルチプレクサにより選択されるデータバスの個数に制限はない。

【0050】本発明の好適な実施の形態に係るSDRAMは、SDRモードとDDRモードを共に支援することができる。従って、使用者側及び製造業者側のコストを削減することができる。また、本発明の好適な実施の形態に係るマルチプレクサ制御によるデータ経路制御方法は、その他の多重データ率モード半導体メモリにも適用することができる。

【0051】

【発明の効果】本発明によれば、例えば、SDRモード及びDDRモードの何れか1つを選択して、選択したモードでデータを出力させることができる。

【0052】

【図面の簡単な説明】

【図1】本発明の好適な実施の形態に係る同期式DRAMの概略的構成を示すブロック図である。

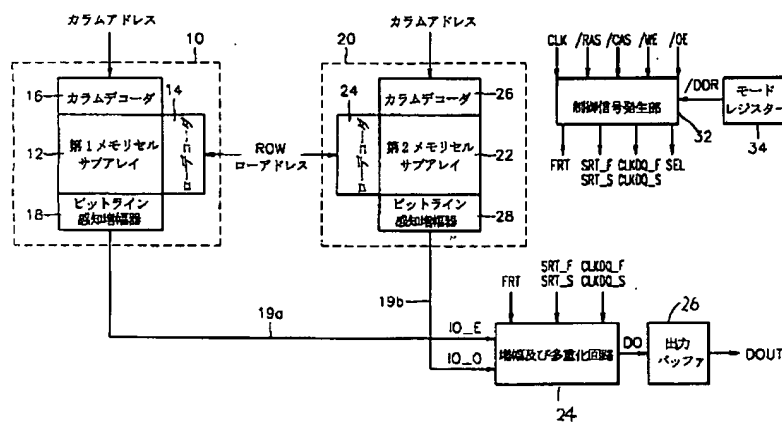
【図2】図1に示す増幅及び多重化回路のブロック図である。

【図3】図1に示す制御信号発生部内にある制御パルス発生回路の一例を示すブロック図である。

【図4】図1に示す同期式DRAMが二重データ率(DDR)モードで動作する場合の各制御パルス及びデータの波形図である。

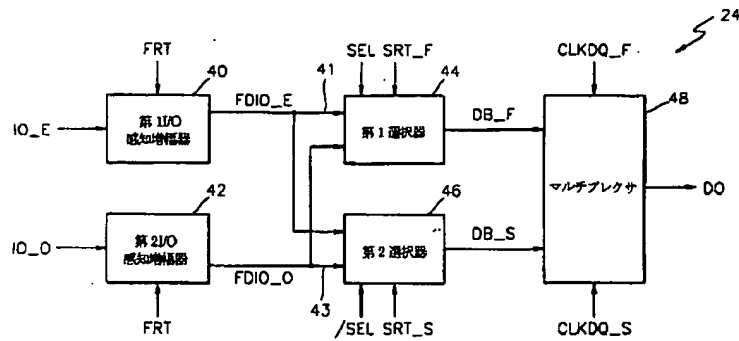
【図5】図1に示す同期式DRAMが単一データ率(SDR)モードで動作する場合の各制御パルス及びデータの波形図である。

【図1】

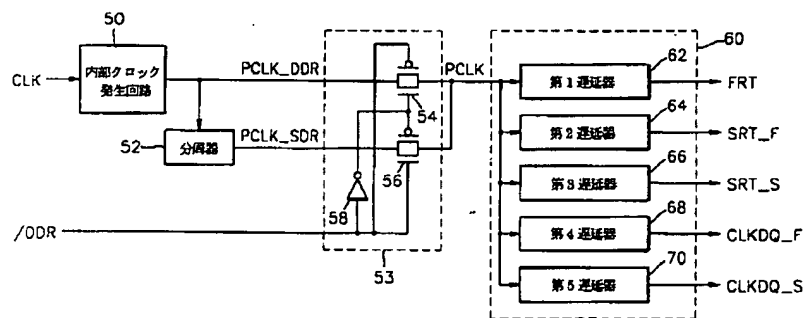




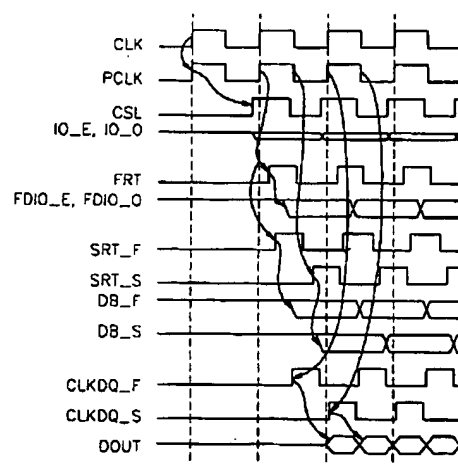
【図2】



【図3】



【図4】



【図5】

